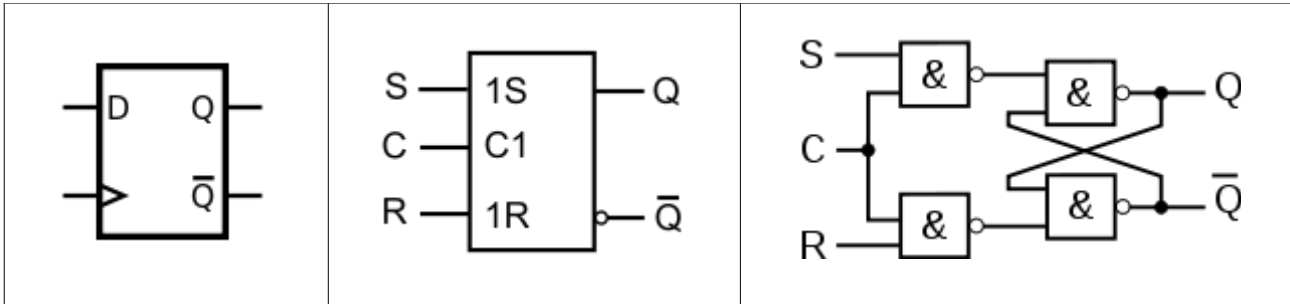
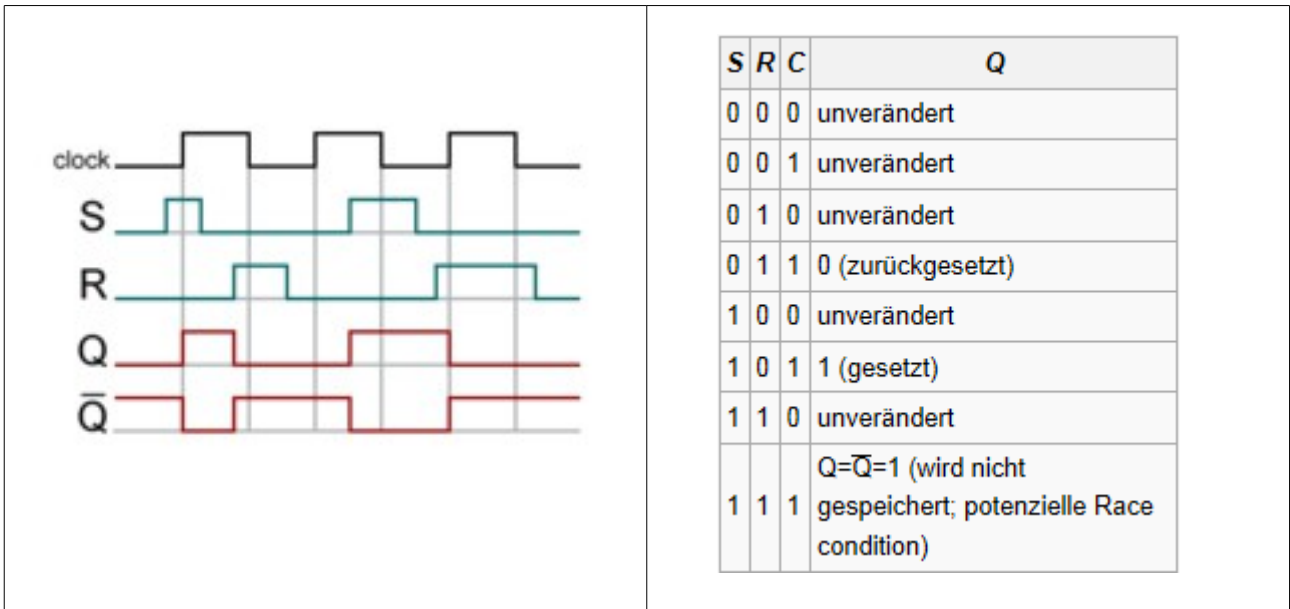


D-FF mit Taktzustands/flankensteuerung



Es besitzt einen Daten- (D) und einen Takt-Eingang (C von Clock, oft dargestellt als „>“). Neben dem Ausgang Q existiert meist auch der dazu invertierte Ausgang. Solange der Takt nicht aktiv ist, wird also der aktuelle Zustand gehalten („verzögert“).

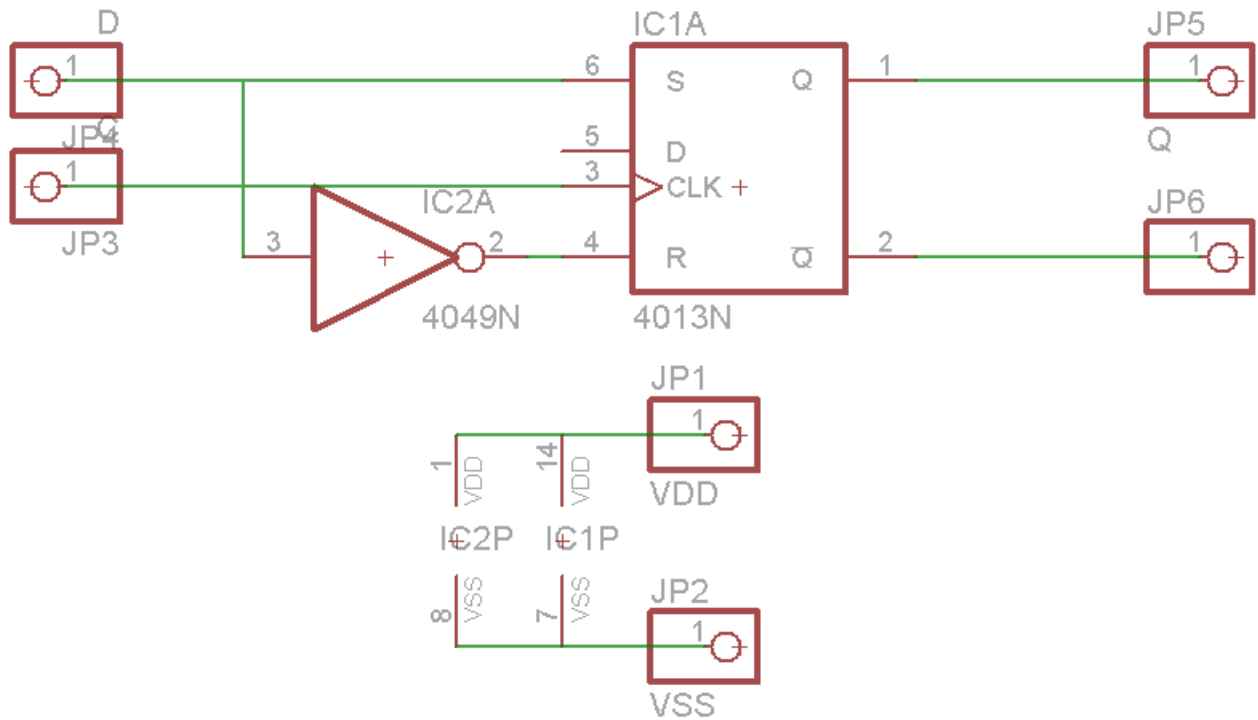


Das taktzustandsgesteuerte D-Flipflop besteht aus einem asynchronen RS-Flipflop mit einer eingangsseitigen Taktzustandsbeschaltung. Dadurch wird der unerwünschte Zustand $R = S = 1$ automatisch vermieden. Solange der Enable-Eingang E aktiv ist, folgt der Ausgang des Latches dem Pegel, der am Eingang D anliegt. Deshalb nennt man dieses Verhalten transparent.

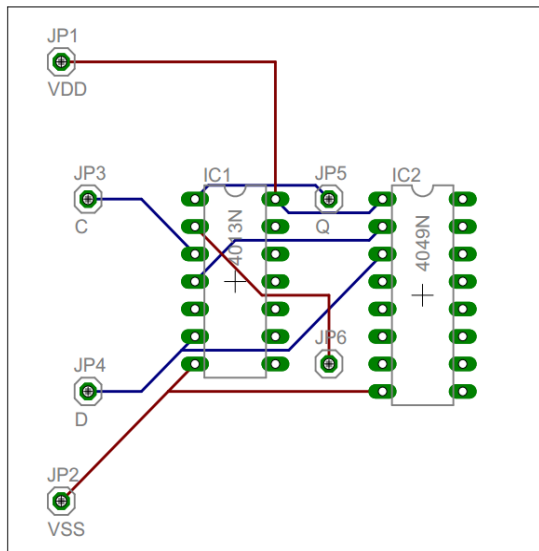
Ein einflankengesteuertes D-Flipflop speichert mit der aktiven Taktflanke den logischen Zustand des Eingangs D und gibt seinen Wert auf Q aus. Außerhalb der aktiven Taktflanke erfolgt keine Übernahme des Eingangswertes.

D-FF mit Taktzustands/flankensteuerung

Schaltplan



Board



Ergebnis

